

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-119645
(43)Date of publication of application : 21.04.1992

(51)Int.CI. H01L 21/60

(21)Application number : 02-240442
(22)Date of filing : 10.09.1990

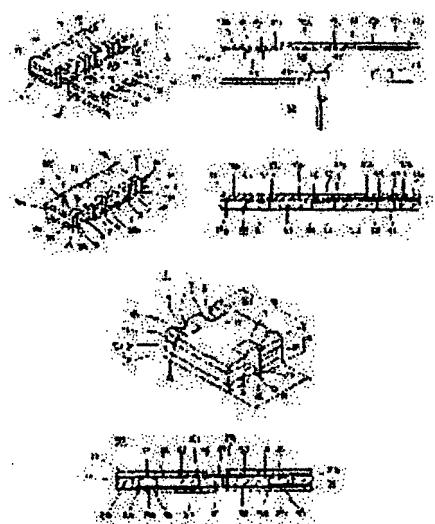
(71)Applicant : ROHM CO LTD
(72)Inventor : AIHARA KAZUHIRO
TANAKA KAZUAKI
SHIBATA KOJI

(54) MANUFACTURE OF SEMICONDUCTOR ELEMENT

(57)Abstract:

PURPOSE: To lessen an irregularity in the dimension and form of a semiconductor element and to facilitate the improvement of the reliability of the element and a reduction in the size of the element by a method wherein resin burrs are prevented from being generated for sealing a chip by laminating insulating sheets and at the same time, an external electrode is formed on the surface of a package in a film form.

CONSTITUTION: A wafer sheet 51 with chips 41 adhered thereon is laminated on the lower part of a first plastic sheet 11, bumps 46 and 47 are respectively pressure bonded on bump pressure bonding parts 16b and 17b and the chips 41 are bonded on the bump pressure bonding parts. Then, a third plastic sheet 31 with chip escape holes 38 provided therein is laminated on a rear 11b and a second plastic sheet 12 is laminated on the sheet 31. This laminated material 50 is diced along through holes 13, 14,... and a through hole 12, are divided into laminated materials 50', side surfaces 50a and 50b of each laminated material 50' are dipped in solder, an external connection pattern 15 and an electrode pattern 25 are formed and collector, emitter and base electrodes 2, 3 and 4 are formed to form a semiconductor element.



⑨ 日本国特許庁 (JP) ⑩ 特許出願公開
⑪ 公開特許公報 (A) 平4-119645

⑫ Int. Cl. 5
H 01 L 21/60

識別記号 321 Z
内整理番号 6918-4M

⑬ 公開 平成4年(1992)4月21日

審査請求 未請求 請求項の数 1 (全7頁)

⑭ 発明の名称 半導体素子の製造方法

⑮ 特願 平2-240442
⑯ 出願 平2(1990)9月10日

⑰ 発明者 合原 和博 京都府京都市右京区西院溝崎町21番地 ローム株式会社内
⑱ 発明者 田中 和昭 京都府京都市右京区西院溝崎町21番地 ローム株式会社内
⑲ 発明者 柴田 公司 京都府京都市右京区西院溝崎町21番地 ローム株式会社内
⑳ 出願人 ローム株式会社 京都府京都市右京区西院溝崎町21番地
㉑ 代理人 弁理士 中村 茂信

明細書

1. 発明の名称

半導体素子の製造方法

2. 特許請求の範囲

(1) 第1の電極パターンが配設された第1の絶縁シートに、各第1の電極パターンにバンプを圧接して、チップをボンディングする第1の工程と、各チップの逃がし孔が配設された第3の絶縁シートを、前記第1の絶縁シートに積層する第2の工程と、

各チップの逃がし孔が配設された第3の絶縁シートを、前記第1の絶縁シートに積層する第2の工程と、

第2の電極パターンが配設された第2の絶縁シートを、これら第2の電極パターンが前記各チップの底面にボンディングされるように、前記第3のシートに積層する第3の工程と、

前記第1、第2及び第3の絶縁シートを積層してなる積層体を、外部電極形成面に沿って切断し、棒状の積層体とする第4の工程と、

この棒状の積層体の側面に、前記電極パターンに導通する外部電極を形成する第5の工程と、

この棒状の積層体を切断し、個々の半導体素子

とする第6の工程とからなる半導体素子の製造方法。

3. 発明の詳細な説明

(イ) 産業上の利用分野

この発明は、面実装チップ状の半導体素子を製造する方法に関する。

(ロ) 従来の技術

従来、トランジスタ等の半導体素子の、面実装型のパッケージは、第6図(a)(b)に示すものが用いられている。チップbは、リードc上にダイボンディングされ、チップb上面のパッドと他のリードcとはワイヤdでワイヤボンディングされる。チップb、ワイヤdは、樹脂eで封止され、絶縁、保護される。リードcの先端は折り曲げ加工され、樹脂eの底面と略揃えられる。

(ハ) 発明が解決しようとする課題

上記従来の、チップ状半導体素子はその構造のため、パッケージ寸法、特に高さhを小さくできない問題点があった。すなわち、パッケージaを小さくしようとすると、ワイヤループが樹脂e表

面よりはみ出すため、ワイヤループの高さが制約され、ワイヤボンディングの信頼性が低下する。また、リード c 寸法のばらつきが大きくなると共に、樹脂 e のバリの影響も大きくなる。

この発明は、上記に鑑みなされたもので、より小型化の図れるチップ状の半導体素子の製造方法の提供を目的としている。

(二) 課題を解決するための手段及び作用

上記課題を解決するため、この発明の半導体素子の製造方法は以下の 6 つの工程により構成されるものである。

i : 第 1 の電極バターンが配設された第 1 の絶縁シートに、各第 1 の電極バターンにバンプを圧接して、チップをボンディングする第 1 の工程と、
ii : 各チップの逃がし孔が配設された第 3 の絶縁シートを、前記第 1 の絶縁シートに積層する第 2 の工程と、

iii : 第 2 の電極バターンが配設された第 2 の絶縁シートを、これら第 2 の電極バターンが前記各チップの底面にボンディングされるように、前記

第 3 のシートに積層する第 3 の工程と、

iv : 前記第 1 、第 2 及び第 3 の絶縁シートを積層してなる積層体を、外部電極形成面に沿って切断し、棒状の積層体とする第 4 の工程と、

v : この棒状の積層体の側面に、前記電極バターンに導通する外部電極を形成する第 5 の工程と、

vi : この棒状の積層体を切断し、個々の半導体素子とする第 6 の工程。

この発明の半導体素子の製造方法では、絶縁シートを積層してチップを封止するため、従来モールド時に生じていた樹脂バリを防止することができる。また、外部電極は、パッケージ表面に膜状に形成されるものであり、寸法、形状の不揃いを少なくすることができる。さらに、電極バターンとチップとをワイヤを用いずボンディングするため信頼性も向上される。これらの点から、半導体素子の小型化が容易となる。

(ホ) 実施例

この発明の一実施例を第 1 図乃至第 5 図に基づいて以下に説明する。

この実施例は、この発明をチップ状トランジスタの製造に適用したものであり、第 1 図は、その製造工程を順に示している。

まず、第 1 のプラスチックシート 11 に、チップ 41 をボンディングする〔第 1 図(a)参照〕。第 1 のプラスチックシート 11 は、第 2 図(a)(b)に示すように、スルーホール 12 、 13 、 14 及びエミッタ、ベース用電極バターン（第 1 の電極バターン） 16 、 17 を複数組配設してなるものである。エミッタ、ベース用電極バターン 16 、 17 は、金 (Au) 、銀 (Ag) 、銅 (Cu) 等の材質よりなり、それぞれスルーホール 13 、 14 を通して、裏面 11b から表面 11a にかけて形成されており、 16b 、 17b は圧着部、 16a 、 17a は外部接続部を構成する。また、スルーホール 12 から表面 11a にかけて外部接続バターン 15 が形成されている。

チップ 41 は、ウェハシート 51 上に貼着されている。ウェハ（図示せず）をウェハシート 51 上に貼し、ウェハをダイシングした後、ウェハ

シート 51 を引き伸ばすと、ウェハが 1 つ 1 つのチップ 41 に分離し、第 1 図(a)に示す状態となる。チップ 41 上には、それぞれエミッタ、ベース用のバンプ 46 、 47 が金等の材料で形成されている。

ウェハシート 51 は、第 1 のプラスチックシート 11 の下方に位置させられる。そして、チップ 41 を、圧着部 16b 、 17b の下方に位置決めし、この位置決めされたチップ 41 を突き上げ針 52 で突き上げ、バンプ 46 、 47 をバンプ圧着部 16b 、 17b に圧着し、裏面 11b にチップ 41 をボンディングする。こうして裏面 11b 上に配設される圧着部 16b 、 17b に順次チップ 41 をボンディングしていく。

もし、ウェハシート 51 を引き伸ばした状態で、チップ 41 の配置を、バンプ圧着部 16b 、 17b の配置に一致させることができるならば、全部のチップ 41 を一括して同時にボンディングすることも可能である。

次に、第 1 のプラスチックシート 11 の裏面 1

1 b に、第 3 のプラスチックシート 3 1 が接着剤 5 3 を用いて積層される〔第 1 図(b)参照〕。第 3 のプラスチックシート 3 1 には、第 3 図に示すように、スルーホール 3 2、3 3、3 4 が、前記スルーホール 1 2、1 3、1 4 に対応する配置で設けられている。また、第 3 のプラスチックシート 3 1 には、チップ逃し孔 3 8 も配設されている。

第 1 のプラスチックシート裏面 1 1 b に、第 3 のプラスチックシート 3 1 を接着する時に、スルーホール 3 2、3 3、3 4 を、スルーホール 1 2、1 3、1 4 に一致するように位置決めをすると共に、チップ 4 1 はそれぞれチップ逃がし孔 3 8 内に収められる。

次に、第 3 のプラスチックシート 3 1 に、第 2 のプラスチックシート 2 1 が接着剤 5 4 で接着され積層される〔第 1 図(c)(d)参照〕。第 2 のプラスチックシート 2 1 には、スルーホール 2 2、2 3、2 4 が配設され、前記スルーホール 1 2 (3 2)、1 3 (3 3)、1 4 (3 4) と同様の配置とされる〔第 4 図(a)(b)参照〕。また、この第 2 のプラス

チックシート 2 1 には、コレクタ用電極バターン (第 2 の電極バターン) 2 5 が配設されている。コレクタ用電極バターン 2 5 は、スルーホール 2 2 を通して、表面 2 1 a から裏面 2 1 b に亘り、表面 2 1 a に位置する部分はボンディング部 2 5 a、裏面 2 1 b に位置する部分は外部接続部 2 5 b とされる。また、スルーホール 2 3、2 4 から裏面 2 1 b にかけて、それぞれ外部接続バターン 2 6、2 7 が形成されている。

接着前に、第 2 のプラスチックシート 2 1 のボンディング部 2 5 a には、銀ベースト 5 5 が塗布される〔第 1 図(c)参照〕。第 3 のプラスチックシート 3 1 を積層する時、圧力及び熱を加えて、銀ベースト 5 5 によりチップ底面 4 5 がボンディング部 2 5 a に圧着させられる〔第 1 図(d)参照〕。この積層作業はアルゴン (Ar)、窒素 (N₂) 等の不活性ガス雰囲気で行い、チップ 4 1 がこの不活性ガスと共に封入されるようにする。

こうして、第 1、第 2 及び第 3 のプラスチックシート 1 1、2 1、3 1 を積層して得られた積層

体 5 0 は、スルーホール 1 3、1 4、…及びスルーホール 1 2、…を連ねる直線 l_1 、 l_2 に沿ってダイシングされ、棒状の積層体 5 0' に分割される〔第 1 図(e)参照〕。

積層体 5 0' の側面 5 0 a、5 0 b は、それぞれ溶融はんだにディップされ、スルーホール 1 2、2 2 内の外部接続バターン 1 5、電極バターン 2 5 (第 1 図(f)では図示せず、第 5 図参照)、スルーホール 1 3、2 3 内の電極バターン 1 6、外部接続バターン 2 6、及びスルーホール 1 4、2 4 内の電極バターン 1 7、外部接続バターン 2 7 が、それぞれはんだ 5、6、7 で連結され、コレクタ電極 2、エミッタ電極 3、ベース電極 4 が構成される〔第 1 図(f)参照〕。

この積層体 5 0' の各コレクタ電極 2、エミッタ電極 3、ベース電極 4 には、プローブがあてられ、各素子の特性が検査される。最後に、積層体 5 0' を直線 l_3 に沿って切断し、個々のパッケージ 1 0 分割する〔第 5 図参照〕。

このトランジスタ 1 は、チップ抵抗器と同様に

印刷回路基板上に面実装することができる。各電極 2、3、4 において、はんだ 5、6、7 で上下のバターン 1 5 と 2 5、1 6 と 2 6、1 7 と 2 7 を連結しているのは、印刷回路基板へのはんだ付け強度を確保するためである。

トランジスタ 1 の大きさは、例えば D、W、H を、それぞれ 1.4 mm、1.6 mm、0.6 mm 程度にすることができる、従来よりも一層の小型化を図ることができる。プラスチックシート 1 1、2 1、3 1 それぞれの大きさを 70 mm × 70 mm とすれば、約 2000 個のトランジスタ 1 をとることができ、生産性向上、材料コストの低減を可能とし、トランジスタ 1 の低価格をも図ることができる。もちろん、このパッケージ 1 は樹脂モールドによりチップを封止するのではないため樹脂バリが生じず、また、印刷回路基板にはんだ付けするためにリードを用いていないので、このように小型化しても従来のような支障は生じない。さらに、このトランジスタ 1 では、バンプ圧着によりボンディングするため、従来のようにワイヤボンディングに起

因する不良も生じない。

なお、この実施例は、本発明をトランジスタの製造に適用したものであるが、ダイオード、電界効果トランジスタ等各種半導体素子の製造に適用可能なものである。

(ヘ) 発明の効果

以上説明したように、この発明の半導体素子の製造方法は、第1の電極パターンが配設された第1の絶縁シートに、各第1の電極パターンにバンプを圧接して、チップをポンディングする第1の工程と、各チップの逃がし孔が配設された第3の絶縁シートを、前記第1の絶縁シートに積層する第2の工程と、第2の電極パターンが配設された第2の絶縁シートを、これら第2の電極パターンが前記各チップの底面にポンディングされるよう前記第3のシートに積層する第3の工程と、前記第1、第2及び第3の絶縁シートを積層してなる積層体を、外部電極形成面に沿って切断し、棒状の積層体とする第4の工程と、この棒状の積層体の側面に、前記電極パターンに導通する外部

電極を形成する第5の工程と、この棒状の積層体を切断し、個々の半導体素子とする第6の工程とからなるものであるから、半導体素子の小型化を図ると共に、生産性向上及び材料コスト低減による半導体素子の低価格化を図ることができる利点を有している。

4. 図面の簡単な説明

第1図(a)、第1図(b)、第1図(c)、第1図(d)、第1図(e)及び第1図(f)は、それぞれ順にこの発明の一実施例に係るトランジスタ製造工程を説明する図、第2図(a)及び第2図(b)は、同トランジスタ製造工程に適用される第1のプラスチックシートのそれぞれ表面及び裏面の要部を示す斜視図、第3図は、同トランジスタ製造工程に適用される第3のプラスチックシートの要部を示す斜視図、第4図(a)及び第4図(b)は、同トランジスタ製造工程に適用される第2のプラスチックシートのそれぞれ表面及び裏面の要部を示す斜視図、第5図は、同トランジスタ製造工程により製造されたトランジスタの外観斜視図、第6図(a)は、従来のパッケージ

ジの外観斜視図、第6図(b)は、同従来のパッケージの側方から見た透視図である。

2 : コレクタ電極、 3 : エミッタ電極、
 4 : ベース電極、
 1 1 : 第 1 のプラスチックシート、
 1 6 · 1 7 · 2 5 : 電極バターン、
 2 · 1 : 第 2 のプラスチックシート、
 3 1 : 第 3 のプラスチックシート、
 3 8 : チップ逃がし孔、 4 1 : チップ、
 4 5 : チップ底面、 4 6 · 4 7 : バンプ、
 5 0 · 5 0 ' : 積層体。

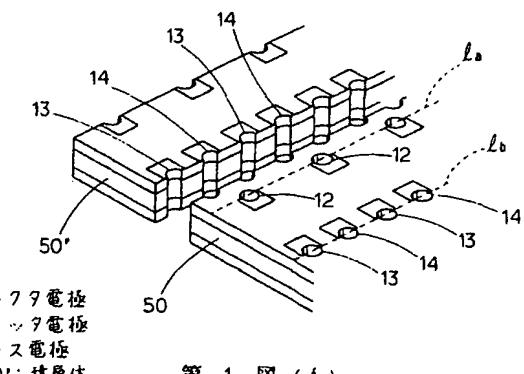
特許出願人

口一ム株式会社

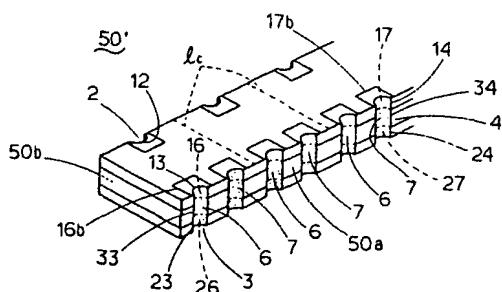
代理人弁理士

中 村 茂 信

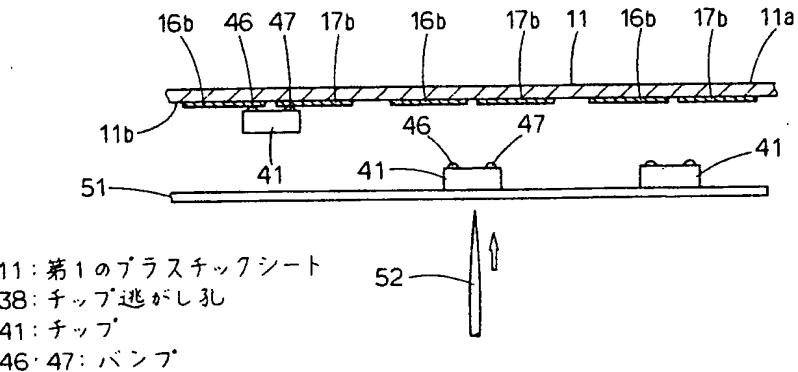
第 1 圖 (e)



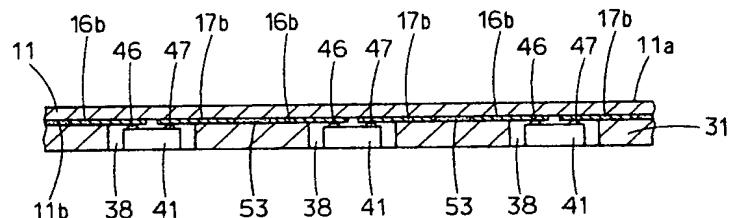
第 1 図 (f)



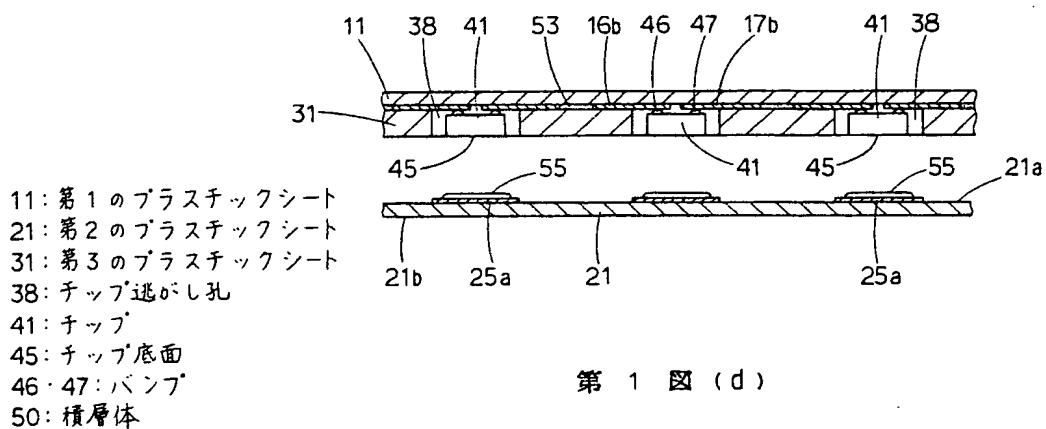
第 1 図 (a)



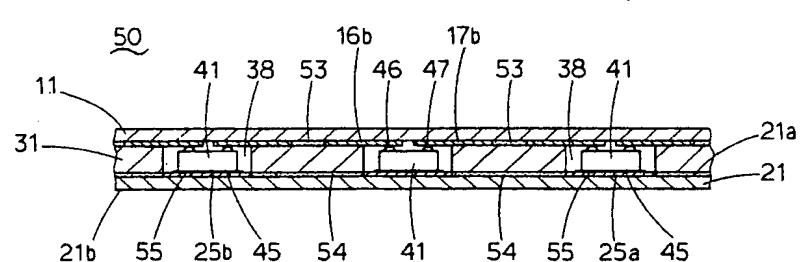
第 1 図 (b)



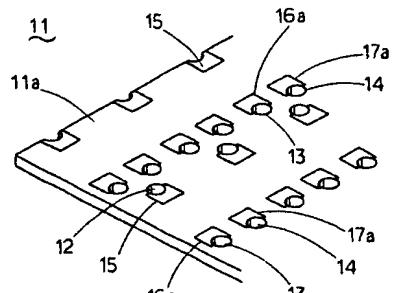
第 1 図 (c)



第 1 図 (d)

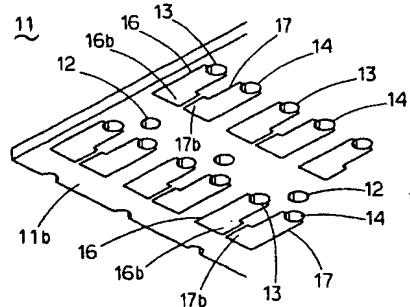


第 2 圖 (a)

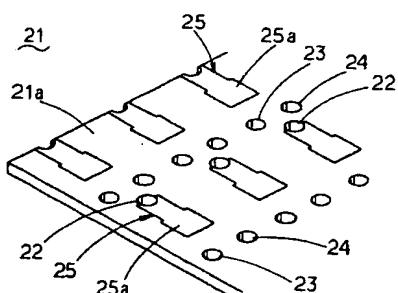


11: 第1のプラスチックシート
16・17: 電極パターン

第2図(b)

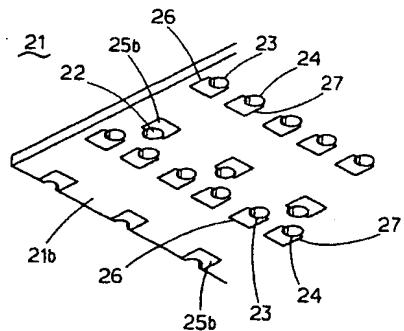


第 4 圖 (a)

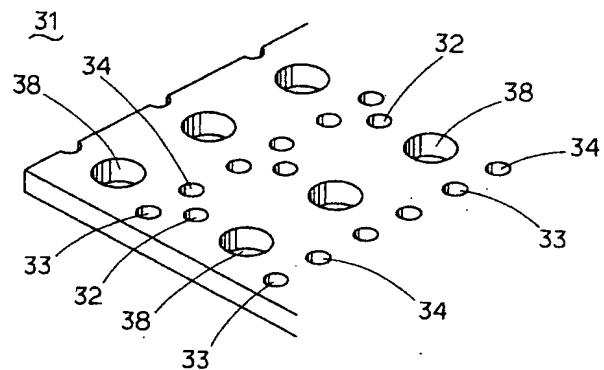


21: 第2のプラスチックシート
25: 電極パターン

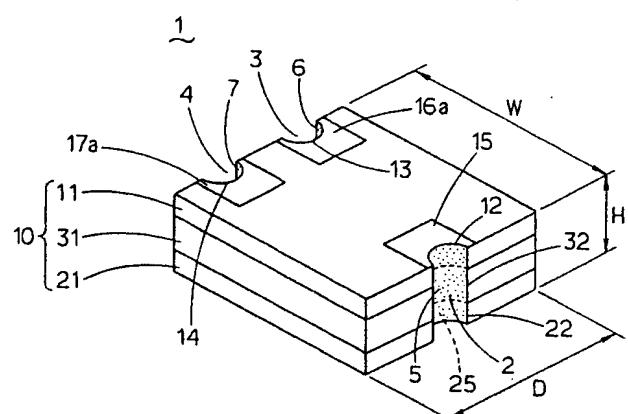
第 4 図 (b)



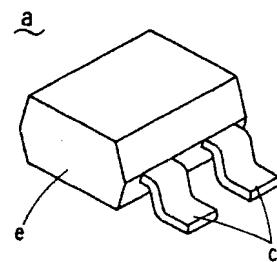
第 3 章



第 5 图



第 6 図 (a)



第 6 図 (b)

